

FIELD PROGRAMABLE DIGITAL SIGNAL PROCESSING ARRAY INTEGRATED CIRCUIT

Publication number: JP7066921 (A)

Publication date: 1995-03-31

Inventor(s): JIYON ERU MATSUKARAMU

Applicant(s): ACTEL CORP

Classification:

- International: G06F7/00; G06F7/575; G06F17/50; G06J1/00; H03K19/177;
G06F7/00; G06F7/48; G06F17/50; G06J1/00; H03K19/177;
(IPC1-7): H03K19/177; G06F7/00; G06F17/50

- European: G06J1/00

Application number: JP19940129711 19940519

Priority number(s): US19930109727 19930620

Also published as:

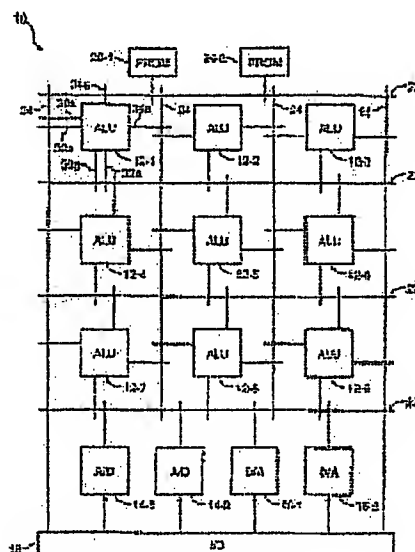
EP0639616 (A2)

EP0639616 (A3)

US5457644 (A)

Abstract of JP 7066921 (A)

PURPOSE: To improve a processing speed by providing an arithmetic and logic circuit in an on-site programmable digital signal processing integrated circuit and storing logic equivalent to a desired analog circuit element in it. **CONSTITUTION:** This on-site programmable digital signal processing integrated circuit 10 formed by CMOS for instance inside a semiconductor die is provided with the arithmetic and logic circuits (ALUs) 12-1-9 and D/A converters 14-1-2 and A/D converters 16-1-2, etc., receive off-chip analog input/output signals through an I/C block 18. Mutual connection elements 22 and 24, etc., for mutually connecting respective circuit blocks are arranged and they are provided with an anti-fuse and a path transistor, etc., and enable a mutual connection program by a user.; The logic of the respective ALUs is respectively equivalent to the specified analog circuit element and thus, Von-Neumann limitation is evaded.



Data supplied from the esp@cenet database — Worldwide

(11)特許出願公開番号

(43)公開日 平成7年(1995)3月31日

1

【特許請求の範囲】

【請求項1】 複数の入出力パッドと、

集積回路内に配置され、アナログ入力と複数のデジタル出力とを有する、少なくとも1つのアナログ・デジタル変換器と、

前記集積回路内に配置され、複数のデジタル入力とアナログ出力とを有する、少なくとも1つのデジタル・アナログ変換器と、

集積回路内に配置され、それぞれが入力と出力とを有する、複数のALU回路と、

前記ALU回路のそれぞれによって実行される動作を個別に定義するための手段と、

集積回路内の複数の相互接続導体と、

前記相互接続導体のうちの選択された相互接続導体を少なくとも1つの他の相互接続導体に接続するための、前記相互接続導体のうちの選択された相互接続導体を前記ALU回路の前記入力に接続するための、前記相互接続導体のうちの選択された相互接続導体を前記ALU回路の前記出力に接続するための、前記相互接続導体のうちの選択された相互接続導体を前記少なくとも1つのアナログ・デジタル変換器の前記デジタル出力に接続するための、前記相互接続導体のうちの選択された相互接続導体を前記少なくとも1つのデジタル・アナログ変換器の前記デジタル入力に接続するための、前記ALU回路の前記入力および出力のうちの選択された入力および出力を互いに接続するための、前記入出力パッドを前記少なくとも1つのアナログ・デジタル変換器の前記アナログ入力に接続するための、および、前記入出力パッドを前記少なくとも1つのデジタル・アナログ変換器の前記アナログ出力に接続するための、そのうちの少なくともいくつかがユーザ・プログラム可能である、相互接続手段とを具備する、現場プログラム可能なデジタル信号処理集積回路。

【請求項2】 前記集積回路内に配置され、複数のアドレス入力線と複数のデータ出力線とを有する、少なくとも1つのPROM回路と、

前記相互接続導体のうちの選択された相互接続導体を前記少なくとも1つのPROM回路の前記複数のアドレス入力線および前記複数のデータ出力線に接続するための相互接続手段とをさらに含む、請求項1の現場プログラム可能なデジタル信号処理集積回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、集積回路に関し、具体的には、ユーザ・プログラム可能な集積回路に関する。さらに具体的に言うと、本発明は、ユーザ・プログラム可能なアナログ・デジタル混合集積回路に関する。

【0002】

【従来の技術及び発明が解決しようとする課題】 汎用リアルタイム集積回路は、演算増幅器、フェーズ・ロック・ルー

2

ブ、コンパレータ、A/D変換器、ビデオ増幅器、トランジスタ・アレイなどの特定の機能に制限されてきた。これらの回路は、アナログ・システムの基本構成要素を形成する。これらの回路を集積して高度な機能を得ることは、回路の正確な機能を決定するために外部部品（すなわち、抵抗、コンデンサ、インダクタなど）を使用する必要があるため、困難である。したがって、一旦集積してしまうと、これらの回路は専用になる。設計、製造および販売のために実用的であるためには、そのような専用部品が大量に使用されるものでなければならない。そのような回路の1例が、ステレオ・システムやテレビジョン・セットに使用されるオーディオ増幅器である。大量に使用される基盤がない場合、そのような回路の設計製造は経済的に引き合わない。

【0003】 アナログ回路の製造中の大きなコスト要因が、個々の回路のそれぞれの最終トリミングである。これが必要なのは、部品配置に起因する浮遊容量ならびに部品の数値の変動があるからである。

【0004】 エレクトロニクスでのもう1つの一般的な問題が、異なる回路経路を利用する間に複雑な信号のさまざまな部分を同位相に保つ必要があることである。これは、カラー・テレビジョン・セットで一般に行われているが、この場合、色情報を処理している間に輝度情報を遅延線に通す。

【0005】 さらに、テレビジョン・セット、ビデオ・カセット・レコーダ、ステレオ・システムなどの一般的なアナログ・システムの多くで、現在、多数のデジタル機能を使用されている。したがって、これらの回路を単一の集積回路ダイに集積するには、アナログ・デジタル混合設計とそれを製造するための工程が必要である。このような集積回路の製造工程は、複雑であり高価である。というのは、アナログ回路設計に使用されるトランジスタが、通常は、デジタル設計に使用されるトランジスタと根本的に異なるからである。

【0006】 この問題に対する従来のアプローチの1つが、デジタル信号処理(DSP)技法を用いて動作する回路を設計することであった。これらのデバイスは、マイクロプロセッサ・コアを使用して、アナログ・システムと数学的に等価なシステムをシミュレートする。このようなチップの一般的な応用例の1つが、アナログの世界に変換する前の信号のデジタル・フィルタリングである。

【0007】 これらの集積DSPデバイスの基本的な限界は、多くのプロセッサ機能がアナログ信号のタイム・スライスごとに必要な場合に、マイクロプロセッサのフォン・ノイマン・アーキテクチャによって、デバイス速度が制限されることである。この限界のため、これまでに、このようなデバイスの速度が、可聴周波数帯域に制限されてきた。これはもちろん、機能のカスタマイズがマイクロプロセッサ内の命令のコーディングによって達

3

成されるという事実起因する。

【0008】アナログ・デジタル混合集積回路に対するもう1つのアプローチが、エルーアヤット (E1-Ayat) に対する米国特許第5107146号明細書に示されている。この特許では、アナログ回路モジュールとデジタル回路モジュールの混合を含むユーザ・プログラム可能なアーキテクチャが開示されている。このデジタル論理モジュールは、従来のFPGAデバイスに使用されるタイプである。

【0009】応用をスピードアップするためにプロセッサ・アレイを設計しようとする試みが過去に行われてきた。この種類の計算機を、MIMD (多重命令多重データ) またはSIMD (単一命令多重データ) と称する。これらの概念では、複数のプロセッサ・エンジンを利用して、乗算や除算などの論理演算を実行する。各プロセッサ・エンジンは、フォン・ノイマン計算機であり、集積回路上でかなりのダイ面積を占める。

【0010】本発明の目的は、従来技術の制限を克服するユーザ・プログラム可能なデジタル信号処理集積回路を提供することである。

【0011】本発明のもう1つの目的は、最大の性能を得るために個別のトリミングを必要としないユーザ・プログラム可能なデジタル信号処理集積回路を提供することである。

【0012】本発明のもう1つの目的は、ユーザがそこで処理される信号の位相シフトを制御できるユーザ・プログラム可能なデジタル信号処理集積回路を提供することである。

【0013】本発明のもう1つの目的は、ユーザが簡単にプログラムできるユーザ・プログラム可能なデジタル信号処理集積回路を提供することである。

【0014】

【課題を解決するための手段】本発明によれば、現場プログラム可能なデジタル信号処理集積回路が、半導体ダイ内に形成され、この集積回路に、算術論理 (ALU) 回路のアレイが含まれる。ユーザ・プログラム可能な相互接続アーキテクチャが、ALU回路のアレイに重畳される。デジタル・アナログ (D/A) 変換器またはアナログ・デジタル (A/D) 変換器を含む1つまたは複数のインターフェース回路を、集積回路上 (またはその外部) に設けて、オフ・チップのアナログ入力信号とインターフェースし、オフ・チップのアナログ出力信号を供給する。プログラム可能な読取り専用メモリ (PROM) または読取り専用メモリ (ROM) などの他の機能回路ブロックも、この集積回路ダイ上に配置できる。集積回路とALU回路の間および個々のALU回路の間の相互接続をプログラムし、個々のALU回路の特定の機能を定義するため、回路を設ける。

【0015】

【作用】本発明のアーキテクチャは、逐次命令の必要を

4

なくすことによって、従来技術システムの特性であるフォン・ノイマン・ボトルネックを回避する。本発明の各ALU回路は、数学的にアナログ回路要素と等価であるように作動するようユーザがカスタマイズできる。個々のALU回路は、ユーザ・プログラム可能相互接続要素によって、互いにまたはA/Dインターフェース回路もしくはD/Aインターフェース回路と相互接続される。

【0016】

【実施例】当業者であれば、本発明の下記の説明が、例示にすぎず、いかなる形でも制限的ではないことを了解するであろう。当業者にとって、本発明の他の実施態様は自明であろう。

【0017】まず図1を参照すると、本発明の好ましい実施例による、現場プログラム可能なデジタル信号処理集積回路の例のアーキテクチャが示されている。本発明のアーキテクチャは、単一片の半導体材料上に集積され、現在では、その使用が好ましいCMOS技術など既知の半導体処理技術を使用して製造できる。

【0018】本発明の現場プログラム可能なデジタル信号処理集積回路10は、符号12-1から12-9に示される算術論理 (ALU) 回路のアレイを中心に作られる。説明のため、算術論理機構12-1から12-9は、3行3列のALU回路からなる規則的なアレイとして配置された状態で図示されている。当業者であれば、多数の他のALU回路または他のレイアウト配置を使用できることを簡単に認識できるという点で、図1のアーキテクチャおよび配置が例示にすぎず、制限的ではないことを簡単に見てとれるであろう。

【0019】任意指定として、少なくとも1つのアナログ・デジタル (A/D) 変換器回路と少なくとも1つのデジタル・アナログ (D/A) 変換器回路を、ALU回路と共にこの集積回路上に配置できる。図1の実施例では、2つのA/D回路14-1および14-2と2つのD/A回路16-1および16-2が図示されている。本発明の集積アーキテクチャの実際の実施態様では、A/D変換器14-1および14-2とD/A変換器16-1および16-2は、おそらくは、本発明のアーキテクチャ10が配置される集積回路ダイの周辺付近に配置されるが、当業者であれば、これらのデバイスの配置が主として設計選択の問題であることを理解するであろう。このような要素は、応用例によってはオフ・チップに配置することも可能である。

【0020】他の集積回路と同様に、複数の入出力 (I/O) ピンを設けて、この集積回路に電力を供給し、この集積回路との間で電気信号をやり取りする。本発明のアーキテクチャの実際の実施態様に設けられるI/Oピンの本数は、純粋に設計選択の問題である。このようなI/Oピンのグループを、単一のI/Oブロック18として図示するが、当業者であれば、I/Oブロック18が複数のI/Oピンを表すことを了解するであろう。

【0021】他の機能回路ブロックは、前に説明した他の要素と共に、この集積回路内に配置できる。たとえば、図1では、PROMデバイス20-1および20-2が、本発明の集積回路アーキテクチャ10内に配置されている。当業者であれば、RAM回路やROM回路などの他のタイプの回路要素を、本発明のアーキテクチャ内で有用に使用できることを理解するであろう。

【0022】最後に、ユーザ・プログラム可能相互接続アーキテクチャが、前述の回路要素に重畳される。このユーザ・プログラム可能相互接続アーキテクチャは、前

述の回路要素を互いに接続し、また、I/Oピンに接続するのに使用される。

【0023】ユーザ・プログラム可能な相互接続アーキテクチャには、ユーザ・プログラム可能相互接続要素によって互いに接続でき、さまざまな回路要素の入力または出力に接続でき、I/Oパッドに接続できる複数の相互接続導体が含まれる。これらのユーザ・プログラム可能相互接続要素は、当技術分野で既知のとおり複数の形態とすることができる。このような要素の例に含まれるのが、米国特許第4899205号、米国特許第5070384号および米国特許第5181096号に開示されたものなど、多数の既知の例が存在するアンチヒューズと、米国特許第4870302号に記載のアーキテクチャで開示されたものなどのパス・トランジスタが含まれる。当業者であれば、これらの例が網羅的ではなく、単にユーザ・プログラム可能な相互接続要素技術の状況を示すものであることを認識できるであろう。本明細書では、特に明記しない限り、ユーザ・プログラム可能な相互接続要素という単語の意味を、このような相互接続要素のすべての形態を包含するものとして解釈されたい。このようなユーザ・プログラム可能な相互接続要素の構造、設計および使用は、当技術分野で周知であり、本明細書には記載しない。

【0024】図1では、ユーザ・プログラム可能な相互接続アーキテクチャが、図1の回路要素の間とその全体にわたって分配される水平相互接続導体22および垂直相互接続導体24として概略的に図示されている。当業者であれば、図1がこれに関して非常に一般的であることを理解するであろう。この図の符号22および24によって識別される線は、個々の相互接続導体を表すものではなく、導体のグループを表す。本発明での使用に有用な相互接続導体の実際の配置は、後続の図面と本明細書の文章で開示される。

【0025】本発明のアーキテクチャの実施態様では、導体のいくつかがセグメント化され、導体のいくつか、このアーキテクチャ内の回路要素のアレイの長さまたは幅の全体を走る。個々のユーザ・プログラム可能な相互接続要素は、相互接続導体の選択された隣接するセグメントの長さを選択的に延ばすためにこれらの間に接続され、他の個々のユーザ・プログラム可能な相互

接続要素は、相互接続導体の交差する水平セグメントと垂直セグメントの間に置かれる。個々の相互接続導体のセグメント化の網羅的でない例が、米国特許第4870302号、米国特許第4758745号および米国特許第5073729号に示されている。

【0026】当業者であれば、相互接続導体のセグメント化を設計する際に注意を払う必要があることを理解するであろう。通常、ALU回路からの出力信号は、真上、真下または左右の、最も近い隣接ALUに渡される。しかし、一部の回路（リアクタンス性回路など）では、項を非常にすばやくフィード・バックする必要がある、短いパスが必要になる。さらに、AGC信号の場合などのように、場合によっては長い距離を経て供給しなければならない信号もある。これらの信号のために、長いパスを使用する必要が生じる。好都合なことに、これらの信号は、しばしば応答の遅い信号であり、回路速度を制限しない。当業者であれば、信号遅延を最小にするために、単一の信号経路に挿入されるユーザ・プログラム可能相互接続要素の数をできる限り少なくすることが好ましいことを理解するであろう。

【0027】ユーザによって定義される通常の回路構成では、相互接続アーキテクチャを構成する相互接続導体の大半が、回路のデジタル側すなわち、A/D変換器14-1および14-2の出力とD/A変換器16-1および16-2の間に図示されているが、集積回路の外部から内部の相互接続導体グループにアクセスできると有利になる状況が存在する。本発明の一態様によれば、相互接続導体グループは、図1に示されるようにI/Oブロック18に入る左端と右端の垂直導体グループ24によって直接に、または、従来技術で既知のように適当な入力バッファと出力バッファを介して、I/Oピンと通信することができる。本発明のこの特徴を用いると、複数の本発明による集積回路を一緒に接続して、下でさらに説明するように一緒に刻時されるより大きな回路を形成できるようになる。

【0028】ここで図2Aを参照すると、本発明のアーキテクチャでの使用に適した現在好ましい単一のALU回路12の構造と構成が、ブロック図形式で示されている。ALU12は、この種の回路用の標準CMOS構成ブロックを使用して構成できる。当業者であれば、他のALU回路や図2Aに示された回路の変形を本発明に使用できることを認識するであろう。

【0029】本発明の現在好ましい実施例によれば、ALU12に、第1の2:1マルチプレクサ26と第2の2:1マルチプレクサ28が含まれる。第1マルチプレクサ26と第2マルチプレクサ28の両方が、nビット幅であり、このnは、ALUが使用するデータ・バイトの幅である。本発明の実施態様に使用されるバイト・サイズは、2ないし64ビット幅とすることができ、分解能、サイズその他の設計検討事項によって指示

7

される。通常のバイト・サイズは、たとえば8ビットである。実際には、1データ・バイトは、使用されるA/D変換器およびD/A変換器の幅になるはずである。これは、ビデオD/A変換器の場合には8ビットまたは10ビット、オーディオD/A変換器の場合には18ビットになる。

【0030】しかし、一部の応用分野では、この構造の変更が必要になる場合がある。たとえば、同調リアクタンス性回路の電圧は、入力電圧よりQ（質要素）倍高い。通常、Qは、100程度の高さになり、このため、その電圧に対処するためにALU回路12に余分の8ビットを追加する必要が生じ、ビデオD/A変換器の場合で16ビットないし18ビットとなる。プログラム可能回路をリアクタンス性回路用に最適化する場合、リアクタンス性回路の内部接続点だけを、このサイズにする必要がある。残りのALUデータ経路は、8ビット幅ないし10ビット幅とすることができ、この問題に対するもう1つの解決策が、ALU回路12のすべてを8ビット幅ないし10ビット幅に構成し、ピーク検出器、コンパレータおよび利得調節回路からなるAGC回路をその回路にプログラムして、リアクタンス性回路モジュールへの入力信号の振幅を減らし、これによってALUのオーバーフローを防ぐことである。当業者であれば、本発明の基本アーキテクチャの同様の修正を、多数思い描くであろう。

【0031】再度図2Aを参照すると、第1の2:1マルチプレクサ26のデータ入力（AとB）は、n幅の入力バス30および32に接続され、第2の2:1マルチプレクサ28のデータ入力（CとD）は、n幅の入力バス34および36に接続される。多数の他の構成が可能であるが、入力バスは、相互接続の可能性を最大にするため、物理的に異なる方向でALU12から出ることが好ましい。たとえば、入力バス30、32、34および36の一端がALUブロックから水平に出、一端が垂直に出て、この集積回路の相互接続マトリックス内の水平と垂直の両方の相互接続導体と接続でき、したがって、相互接続の可能性を高めることができる。これは、図1のALU12-1の区域で、符号30aおよび32aに概略的に示されている。図1では、図面が乱雑にならないように、1つのALU回路12-1だけがそのような入力構造を有するものとして図示されているが、当業者であれば、すべてのALU回路が同様の構成であることが好ましいことを認識するであろう。

【0032】第1および第2の2:1マルチプレクサの制御入力38および40は、この集積回路のVCC電位を伝える導体42と、グラウンド電位を伝える導体44と、一般相互接続導体46、48および50とを含む相互接続マトリックスに引き込まれる。この相互接続マトリックスの、制御入力38および40と導体42、44、46、48および50などとの交点にある小さな円

8

は、アンチヒューズやバス・トランジスタなどのユーザ・プログラム可能相互接続要素を表す。当業者であれば、図示の配置を用いることで、マルチプレクサの制御入力38および40を、VCCまたはグラウンドに配線してデータ供給源を事前に選択することができ、また、一般相互接続導体46、48および50のいずれかを介してデータ供給源に配線して回路の動作中に信号供給源を動的に変更することができるという点で、最大の柔軟性が得られることを理解するであろう。

【0033】当業者であれば、ALUの入力を多重化することによって、相互接続の柔軟性が増すことを理解するであろう。また、当業者であれば、一部の応用分野で、これらの回路要素が不要であることも理解するであろう。

【0034】第1および第2の2:1マルチプレクサの出力は、否定回路52および54に向けられる。否定回路52および54の機能は、入力のデータ状態を選択的に反転することであり、これらの回路は、当技術分野で既知のとおり排他的論理和ゲートから構成できる。否定回路52および54の制御入力56および58は、相互接続マトリックスに引き込まれ、したがって、否定機能の最大の柔軟性が得られる。

【0035】否定回路52および54の出力は、ラッチAラッチ60および62を駆動する。ラッチAラッチ60および62の出力は、加算器64の入力項を形成することができる。加算器64は、通常多ビット加算器回路とすることができる。加算器64の出力は、ラッチB66の入力を駆動する。ラッチB66の出力は、出力バス68に接続される。

【0036】Aラッチ60および62とBラッチ66は、制御回路70によって制御される。制御回路70の目的は、ALUの動作を同期化して、この回路の動作が、ALUによって処理される正しいデータの到着と調整されることを保証することである。制御回路70は、クロック（CLK）入力72、イネーブル（EN）入力74および入力レディ入（INR IN）入力76を有する。これらの入力は、2つのクロック線すなわちCLK A線78およびCLK B線80と、3つの一般相互接続導体82、84および86を含む相互接続マトリックスに組み込まれる。これらの入力線は、導体と入力線の交点にある小さな円として図示されたユーザ・プログラム可能相互接続要素によって、これらの線のいずれにも接続可能である。当業者であれば、図2Aに示された接続性の選択が、例示にすぎず、本発明の教示に従って作られるアーキテクチャでの実際の選択が、主として設計選択の問題として指示されることを理解するであろう。

【0037】制御回路70は、4つの出力を有する。出力A（線88）は、ラッチAラッチ60および62のクロックを駆動し、出力B（線90）は、ラッチB66のクロックを駆動する。INROUT線92は、モジュー

ルの非同期接続に使用され、上流側モジュールが次クロックにデータを解放するように上流側に接続されたモジュールの入力読み（INRIN）入力に接続される入力読み出力信号である。DATARDY線94は、次の下流モジュールによる読取りに関してデータが有効であることを示すのに使用されるデータ・レディ出力である。

【0038】当業者であれば、この否定回路とマルチプレクサを使用することによって、ALU回路によって実行されるカスタム論理機能を実行するように図2のALU回路を構成できることを理解するであろう。

【0039】ここで図2Bを参照すると、状態図が提示されており、図2AのALU回路の制御回路部分の動作が詳細に示されている。当業者であれば、同期段ではINRIN線とINROUT線を使用する必要がないことを理解するであろう。しかし、非同期段では、インターフェースでINRIN線とINROUT線が使用される。偶発的なバイトは失われる可能性があるが、これは、本発明のアーキテクチャを使用して構成された回路の全体動作には影響しない。失われるバイトは、1サイクルあたりのデータ・サンプル数が適切である限り、平滑レベルが達成されるまで、後続データ・バイトの(A+B)/2によって平均化できる。

【0040】当業者であれば、本発明のALUモジュールのアーキテクチャの変形が可能であり、これらが本発明の範囲に含まれると想定されていることを理解するであろう。たとえば、ALUモジュール内に内部メモリを設けて、ALUモジュールに複数の機能を実行するように命令し、したがって、その柔軟性を高めることができる。しかし、当業者であれば、このような実施態様が、その限界において、従来技術のフォン・ノイマン・ボトルネックの問題を被るであろうことを理解するであろう。

【0041】本発明の相互接続アーキテクチャの編成を用いると、相互接続自体を利用して、乗算や除算などの数学関数を実行できるようになる。本発明のこの特徴は、そのような演算を、その出力が相互接続導体を駆動しているALUによって実行される動作と同一のクロック・サイクルで実行できるという点で有利である。

【0042】速度は、ALU回路が加算（減算）と乗算（除算）を実行できる速度によって制限される。乗算と除算は、時間の大半を占める数学処理である。しかし、その演算を行う回路が、2のべき乗すなわち2、4、8、16などの単位の抵抗、コンデンサ、インダクタなどの回路要素を使用するように設計されている場合、乗算と除算を、右シフト動作または左シフト動作によってデジタルに表現することができる。

【0043】前に述べたように、これらのシフト動作は、相互接続アーキテクチャに組み込むことができる。そのような動作を行う方式の例を、図3に示す。図3には、複数の水平相互接続導体22-1ないし22-6と

交差する複数の垂直相互接続導体24-1ないし24-6が示されている。交点のそれぞれで、水平と垂直の相互接続導体の間に、トランジスタ56-1ないし56-36が接続されている。対角線方向に置かれたトランジスタのゲートは、一箱にゲート線58-1ないし58-11のうちの1つに接続される。

【0044】当業者であれば、導体22-1ないし22-6から対応する導体24-1ないし24-6へのデータの転送が、ゲート線58-6がアクティブにされている時に発生することを理解するであろう。この伝送の際に、ゲート線58-5がアクティブにされている場合には1ビットだけデータを第1の方向にシフトでき、ゲート線58-4がアクティブにされている場合には2ビット、ゲート線58-3がアクティブにされている場合には3ビットだけシフトでき、以下同様である。ゲート線58-7ないし58-11が選択されている場合には、もう一つの方向で選択されたビット数だけの同様のシフト動作が発生する。

【0045】当業者であれば、アンチヒューズなどの他のユーザ・プログラム可能相互接続デバイスによって、このビット・シフト技法を実施できることを理解するであろう。そのような実施態様では、交差する導電線をアンチヒューズによって接続でき、左右のビット・シフト動作を、アンチヒューズの選択的プログラミングによって達成できる。

【0046】図3に示されたものに類似のバス交換は、符号22および24などの水平と垂直の相互接続導体の交点に置くことができ、また、ALUの入力バスまたは出力バスを相互接続アーキテクチャの水平および垂直の相互接続バスに接続するのに使用できる。本明細書に開示されるシフト機能によって実施される乗算および除算の演算は、長時間を必要とせず、駆動ALUの動作に使用されるのと同じクロック・サイクル内に確実に発生する。したがって、当業者であれば、本発明のアーキテクチャが、高速アナログ演算増幅器とほぼ同一の速度で諸機能を実行できることを了解するであろう。

【0047】この技法の使用の1例として、デジタル抵抗として機能するALU回路が、その端子間の電圧を表す2つの多ビット・デジタル値を受け取り、Rがその抵抗を表すとして、それを通る電流を関数 $I = (V_1 - V_2) / R$ によって表す多ビット・デジタル値を出力する。2のべき乗としてのRの値は、1つ以上のビット位置だけ出力バスをシフトすることによって、ALU回路に事前にプログラムすることができる。この関数は、1クロック・サイクルで達成でき、このデジタル抵抗は、各クロック・サイクルに同一の機能、すなわち、2つの入力数値の減算と事前プログラムされた定数による除算を実行する。したがって、本発明のアーキテクチャによって、プログラム記憶域の必要がなくなる。同様に、コンデンサは $V = V_0 + (I / C)$ となり、こ

の場合、入力電流であり、出力は電圧である。2のべき乗の値を有する容量を計算するための除算演算は、乗算演算の場合と反対の方向に1つ以上のビット位置だけシフトすることの結果として自動的に実行される。アナログ・エレクトロニクスの基本構成要素であるインダクタ、トランス、演算増幅器、コンパレータ、理想的なダイオード、スイッチまたはマルチプレクサに関して、同様の単純な関数が存在する。

【0048】本発明の集積回路では、デジタルALU回路のユーザ・プログラム可能相互接続が、等価アナログ回路の1対1写像になるはずである。デジタル信号の追加集積は単純である。というのは、デジタル・ゲートが、デジタル回路用と同一タイプのトランジスタから作られるからである。デジタル・モジュールには、現在ゲート・アレイ、FPGAおよびPALで使用可能なものと同様の論理回路を使用できる。アナログ要素の相互接続は、もちろん、ゲート・アレイ、FPGAおよびPALに使用されるのと同じ形で行うことができる。

【0049】本発明による集積回路は、簡単にカスタマイズでき、アナログ機能とデジタル機能の混合に適しており、超高速にすることができ、無線やビデオの周波数範囲のアナログ信号を扱うことができる。限界周波数は、システムの境界でのA/D変換またはD/A変換の速度になる可能性が高い。フラッシュ変換器は、現在、数十メガヘルツで動作する。A/D変換器とD/A変換器は、設計者または製造業者の望みに応じて、オン・チップまたはオフ・チップのいずれかとすることができ

る。

【0050】ここで図4Aおよび図4Bを参照すると、反転型単位利得増幅器の単純な設計が、本発明のアーキテクチャの動作の例として示されている。図4Aは、2つの1Ω抵抗、40nFコンデンサおよび0.25V/V_{DD}のスルーレートに有する増幅器を含むアナログ等価回路の概略図である。図4Bは、本発明のアーキテクチャで実施されるデジタル等価回路のブロック図である。アナログ入力電圧が、A/D変換器100に供給され、A/D変換器100は、その出力をALU102に提示し、ALU102は、図4Aの回路の抵抗R1として振る舞うようプログラムされている。ALU104は、コンデンサCとして振る舞うようプログラムされ、ALU106は、抵抗R2として振る舞うようプログラムされ、ALU108は、増幅器要素として振る舞うようプログラムされる。この回路全体が、100MHzのクロック110によって駆動される。ALU102（抵抗1）は、値 $I_1 = (V_{in} - V_1) / 1\Omega$ を計算する。ALU104（コンデンサC）は、値 $V_1 = V_{1,prev} + (I_1 + I_2) (10nsec / 40nF)$ を計算する。ただし、 $V_{1,prev}$ は、前のクロック・サイクルからの電圧であり、10nsecは、クロック信号の周期で

ある。ALU106（抵抗2）は、値 $I_2 = (V_{out} - V_1) / 1\Omega$ を計算する。最後に、ALU108（増幅器）が、値 $V_{out} = V_{1,prev} + (-0.25)V_1$ を計算する。

【0051】PROM要素20-1または20-2のうち的一方または（必要な場合には）両方を、増幅器のフィードバック・ループの代りに使用するならば、増幅器の対数出力など、特殊な非線形変換を実施できる。各アドレスに格納されるデータは、単にそのアドレス値の対数である。このような増幅器回路の変形を、図4Cに示す。当業者であれば、対数関数生成機構114を、ROM参照テーブルを使用することによって実施できることを認めるであろう。

【0052】図5は、正弦入力波形に関する図4Bの信号入力波形と信号出力波形を示すグラフである。図5から、この増幅器の出力が、アナログ増幅器をエミュレートするALUシステムを通るデータのパイプライン化時間のために多少「位相シフト」していることがわかる。

【0053】図6は、方形入力波形に関する図4Bの回路の信号入力の波形と信号出力波形を示すグラフである。アナログ増幅器に典型的な減衰するオーバーシュート特性を、この出力波形に見ることができる。

【0054】本発明のもう1つの態様によれば、エミュレートされた増幅器回路のアーキテクチャを再構成することによって、図4Bの回路が示す、図5および図6に示されたひずみを除去できる。ここで図7Aおよび図7Bを参照すると、より低速のマスタ・クロックを使用し、ALU回路のデータ有効（INRおよびOUTR）接続を使用することによって、代替構成を構成できる。便宜上、図7Bの回路では図4Bの回路と同一の符号を使用しているが、コンデンサCは60nFの値を有し、増幅器は2の利得を有する。

【0055】図7Bの回路では、R1とR2のALU回路（符号102および106）での計算が、まず行われる。具体的に言うと、R1のALUが、 $I_1 = (V_{in} - V_1) / 1\Omega$ を計算し、R2のALUが、 $I_2 = (V_{out} - V_1) / 1\Omega$ を計算する。CのALU（符号104）は、 $V_1 = V_{1,prev} + (I_1 + I_2) (30nsec / 60nF)$ を計算する。このALUは、R1のALU回路102およびR2のALU回路106のOUTR出力が真になり、それらの出力が有効であることが示されるまで刻時されない。増幅器ALU108は、値 $V_{out} = V_{1,prev} - 2V_1$ を計算するが、ALU回路104のOUTR出力が真になるまで刻時されない。

【0056】図8および図9は、それぞれ1MHzの正弦波入力と方形波入力に関する図7Bの回路の入力電圧と出力電圧を示すグラフである。当業者であれば、出力電圧の位相が入力電圧から遅れているが、方形波出力にオーバーシュートが全くないことを認めるであろう。また、当業者であれば、クロック速度が低い（すなわち、

図4Bの回路の100MHzに対して33MHz)ので、出力関数を定義するのに使用されるデータ点の数が少ないことを認めるであろう。

【0057】アナログ・エレクトロニクスで遭遇するもう1つの一般的な問題が、異なる回路経路を利用する間に複雑な信号のさまざまな部分を同位相に保つ必要があることである。このような状況の典型例が、色情報を処理している間に輝度情報が遅延線に通されるカラー・テレビジョンの場合である。

【0058】本発明のアーキテクチャを使用して、図10に示されるアナログ・シフト・レジスタを実施することができ、したがって位相変化のない任意の長さの遅延を得ることができる。図10の例では、3つのALUモジュール120、122および124が、アナログ・シフト・レジスタとして接続されている。これらのALUモジュールは、それぞれのB入力バスをグラウンドに接続し、各モジュールのA入力バスを、この連鎖内の前のALUモジュールの出力バスに接続することによって、関数 $(V_i + 0) / 1$ を計算するように構成されている。図10には3段だけが示されているが、この技法を使用して、任意の長さのアナログ・シフト・レジスタ連鎖を構成できる。

【0059】本発明は、同調回路のシミュレートにも使用できる。同調回路は、LとCが2のべき乗に等しい値に制限される場合にそうであるように、2の平方根の倍数 $(f = 1/2\pi\sqrt{LC})$ であるだけでなく、特定の周波数または周波数の連続体を有するように設計されなければならない。本発明に従ってデジタルにエミュレートされる同調回路では、回路要素の実際の値も、その回路が刻時される周波数の関数である。出力される数が電流の値である場合、ALUクロック信号の期限が、電流と時間の積を表す。したがって、この回路の出力値は、電荷の量またはQである。

【0060】1例として、デジタル値1を有し、100MHzのクロック周波数で刻時されるコンデンサALUは、 $C/\text{クロック周波数}$ すなわち10nFの値を有する。したがって、この回路要素の実際の値は、ALUのクロック周波数によって設定される。本発明のこの特徴は、本発明に従って構成された同調回路の帯域通過周波数がクロック周波数に伴って変化するという点で、追加の長所をもたらす。本発明のこの特徴を使用すると、周波数シンセサイザやスペクトル・アナライザなどの応用例を簡単に実施できる。

【0061】当業者であれば、互いにわずかに異なる共振周波数を有する共振回路が、同一の集積回路内で異なるクロック周波数を使用することを理解するであろう。したがって、異なる周波数で走行するALU回路が、隣接するALU回路からデータ遅延中に入力値を読み取らず、したがって不定値を読み取らないことを保証するために注意を払わなければならないことが明白である。

【0062】本発明に従って構成された回路でこの問題を回避するための技法の1つが、たとえば3つの信号バイトの、小さなFIFOを作ることである。これには、ALU回路がこの機能を実行するように最適化されるのではない限り、3つのALU回路を使用する必要がある。ロード信号は、1つのALU回路の出力によって決定され、ダンプ信号は、異なる周波数で走行する入力ALUによって決定される。FIFOが満杯の場合、1バイトを消去し、次のバイトをロードする。FIFOが空の場合、次の読取りサイクルのために最後のバイトを保存する。これはもちろん、この機能を実行するための多数の方法のうちの1つにすぎない。もう1つの可能な方法は、ハンドシェイクを行うALU回路を設計し、隣接モジュールにデータの送受の用意ができていない場合に、待機中のモジュールが次のクロック・サイクルに機能を全く実行しないようにすることである。

【0063】アプリケーションをスピードアップするためにプロセッサ・アレイを設計しようとする試みが過去に行われてきた。この種類の計算機を、MIMD（多重命令多重データ）またはSIMD（単一命令多重データ）と称する。MIMD計算機とSIMD計算機は、乗算や除算などの演算の実行に相互接続を使用するのではなく、プロセッサ・エンジンを使用して、従来の方法でこれらの機能を実行する。これらの計算機は、本発明で使用されているような、プロセッサ・クロック周波数を変更して計算結果を変更するという概念を使用しない。この従来技術のいずれもが、相互接続をプログラムしてアナログ機能を表示し、実時間で走行させるという発想を開示も提案もしていない。また、これらのアレイ内のプロセッサは、非常に複雑であり、したがって、フォン・ノイマン・ボトルネックの限界という望ましくない性質を有する。本発明のアーキテクチャは、本質的に、加算器またはシフタのそれぞれが単一の機能だけを実行することを必要とし、したがってデータ・ボトルネックがない。これが、従来技術に対する大きな利点をもたらす。

【0064】プログラム可能な相互接続と共に加算器とシフタのアレイを用いてアナログ回路をモデル化することのもう1つの利点は、一般の整数演算を、加算器またはシフタの組合せによって簡単に実行できることである。したがって、エンド・ユーザが、必要な時に、任意の整数による値の乗算または除算を行うように自分のデバイスを設計できる。アナログ回路では通常、少数のフィードバック項を有する回路経路に沿って信号が移動するので、整数演算に必要な追加時間は、回路の速度を低下させない可能性がある。というのは、このアーキテクチャでは、計算が、高速フィードバック項に関するものでない限り、基本的にパイプライン化されるからである。

【0065】本発明のアーキテクチャは、FPGA内に

実施できるが、これらのデバイス内のモジュールは、小さく、論理機能用に設計されており、通常は1ビット幅である。したがって、10ビット加算器を作るためには多数のモジュールを使用する必要があり、FPGAデバイス内の相互接続アーキテクチャは、相互接続内でシフト機能を効率的に実施するのに十分な数の線を提供しない。したがって、1アナログ機能あたりの回路コストが高くなり、速度がはるかに遅くなる。さらに、FPGA内のモジュールは、クロック信号と非同期に到着する信号を受け入れるように設計されていない。

【0066】部品が相互作用して同調回路を形成するRLC回路など、信号周波数で走行しているフィードバックを使用する回路では、本発明の実行の限界周波数が提示される。これは、信号とその信号に対する反応の間の、最善でも1クロックの遅延になる位相シフトが原因である。これらの応用分野では、モジュールを並列ではなく直列に刻時する場合の方が回路が安定する。もちろん、これによって、その回路の最大動作周波数が、使用される直列クロック・パルスの数の倍数に制限される（その数で除算される）ことになる。このような刻時方式は、単に各モジュールに1つの回路要素を置くのではなく、特定の回路のZ変換を解き、モジュール・アレイに適用する場合などの応用分野に有用である。

【0067】本発明のアーキテクチャを使用して実施される単純な直列RLC同調回路の2つの例を、図11Aおよび図11Bに示す。まず図11Aの実施態様を参照すると、この直載な配置には、4つの順次クロックCLK1、CLK2、CLK3およびCLK4によって駆動される4つのALUモジュール130、132、134および136が必要である。この回路は、直列のインダクタンスL、抵抗R、コンデンサCを経てグラウンドに接続される、電圧 V_{in} を印加された入力接続点であると想定されている。CLK1によって駆動されるALUモジュール130は、 $V_{in} - V_{t,prev}$ を計算する。ただし、 $V_{t,prev}$ は、インダクタンスLと抵抗Rを接続する接続点の最後のクロック・サイクルでの電圧である。CLK2によって駆動されるALUモジュール132は、 $I_{t,prev} + \Delta I$ を計算する。ただし、 $I_{t,prev}$ は、前のクロック・サイクルにこのRLC回路を通った電流であり、 ΔI は、現クロック・サイクルへの電流の変化である。この電流は、ALUモジュール130の出力をLで除算することによって得られる（図11Aに記載のとおり）。本明細書の教示により、これは、図3の参照によって開示されたビット・シフト技法とそれに伴う開示によって行うことができる。

【0068】CLK3によって駆動されるALUモジュール134は、 $V_{t,prev} + I/C$ を計算する。ただし、 $V_{t,prev}$ は、抵抗RをコンデンサCに接続する接続点の前のクロック・サイクルでの電圧であり、 I/C は、単に、ビット・シフト技法によって電流I（ALUモジ

ール132の出力）を容量Cで除算した値（図11Aに記載のとおり）である。CLK4によって駆動されるALUモジュール136は、 $V1 + IR$ を計算する。ただし、V1は、抵抗RをコンデンサCに接続する接続点の現クロック・サイクルでの電圧であり、IRは、単に、ビット・シフト技法によって電流I（ALUモジュール132の出力）に抵抗Rをかけた値（図11Aに記載のとおり）である。

【0069】図11Bからわかるように、Z変換を賢明に配置することによって、クロックの数が2つに減り、ALUモジュールの数が5つに増える。図11Bの実施態様では、最大周波数が2倍になる。この意味で、本発明は、並列プログラム可能Z変換と考えることができる。

【0070】図11Bの実施態様では、入力電圧 V_{in} が、CLK1によって駆動されるALUモジュール140に印加され、ALUモジュール140が、 $X = V_{in} - V_c$ を計算する。ただし、 V_c は、現サイクルのコンデンサCの両端の電圧である。CLK2によって駆動されるALUモジュール142は、関数 $Y = (X - I_{t,prev})/L$ を計算する。ただし、XはALUモジュール140の計算の結果、 $I_{t,prev}$ は前のサイクルの電流、Rは抵抗、Lはインダクタンスである。CLK1によって駆動されるALUモジュール144は、 $Z = I_{t,prev} - I_{t,prev}/LC$ を計算する。ただし、Lはインダクタンス、Cは容量である。CLK2によって駆動されるALUモジュール146は、関数 $I = Y + Z$ を計算する。ただし、Iは現サイクルの電流、YはALUモジュール142によって行われた最後の計算の結果、ZはALUモジュール144および144によって行われた最後の計算の結果である。CLK1によって駆動されるALUモジュール148は、現サイクルのコンデンサの両端の電圧 V_c を、前のサイクルのコンデンサCの両端の電圧 $V_{c,prev}$ から $I_{t,prev}/C$ を引いた値として計算する。

【0071】当業者であれば、ALUモジュール142への入力の1つにある項IRを、本明細書に教示されたビット・シフト技法によって得ることができることを認めるであろう。同様に、ALUモジュール148の項 $I_{t,prev}/C$ とALUモジュール144への入力の $I_{t,prev}/LC$ を、同時に得ることができる。このビット・シフトによる乗除算技法を用いると、最少の個数のALUモジュールを使用することができるようになるが、当業者であれば、乗数と除数の値が、2のべき乗である整数すなわち2、4、8、16などに制限されることを認めるであろう。当業者であれば、乗算回路と除算回路を複数のALUから構成して、回路の複雑さとALU利用が増すことと引き換えに、構成要素値選択の柔軟性を高められることを認めるであろう。

【0072】本発明のもう1つの好ましい特徴は、パイアス、インピーダンス整合またはバッファリングが不要

なので、アナログ回路に普通に使用される多数の回路要素を除去できることである。本発明のアーキテクチャを使用して構成されたダブル・バランス・ミキサは、関数 $|V1 + V2|/2$ を実行するのに1つのモジュールしか必要としない。このモジュールは、2つの数を加算するようにプログラムされ、最上位ビットが負(符号付き整数)の場合には、通常はそのモジュールが減算のために行うはずの2の補数演算を実行する。2による除算は、相互接続への出力の際に行われる。したがって、3つの結合トランス、2つのダイオードおよび1つの増幅器が、1つのモジュールによってモデル化される。

【0073】AGC回路などの回路の利得の変更は、アンチヒューズによる配線相互接続ではなく、回路内でスイッチングできるトランジスタによるモジュール相互接続を設計することによって、2のべき乗として実施できる。利得を変更するためのもう1つの方法は、抵抗値が、動作中に変更できるモジュール内のSRAMメモリに設定される、モジュール内にプログラムされた抵抗除算器を設けることである。

【0074】正弦波発振器は、このアーキテクチャを用いて、一方がLを表し他方がCを表す2つのクロックだけを用いて作られる。これらのデバイスは数学的であるから、直列抵抗は存在せず、したがって、発振の減衰も存在しない。したがって、この発振器は、一旦発振を開始すると永久に発振を続ける。初期条件を設定することによって、リセットされるまでのすべてのサイクルに関して位相と振幅が決定される。したがって、フェーズ・ロック・ループの実装が簡単である。優れた応用例の1つが、カラー情報を復号するためNTSC(TV)信号のカラー・バースト信号に3.58MHz発振器を同期させることであろう。クロック周波数によって発振器周波数が変化し、いつでも振幅をロードして入力信号と同期させることができる。

【0075】前に述べたように、この技法では、アナログ機能とデジタル機能を簡単に組み合わせることができる。その1例が、異なる回路ブロックを走らせるのに必要なさまざまなクロック周波数を生成するためのデジタル・フェーズ・ロック・ループの組合せである。これによって、これらの信号をオフ・チップから入力する必要が減り、したがって、速度が高まり、ピン数と消費電力が減る。

【0076】このアーキテクチャのもう1つの特徴は、一旦信号をデジタル化したならば、単にチップを追加するだけでさらに複雑なシステムを作れることである。この設計では、ある信号に関するデジタル出力のすべてが隣接し、別のチップの入力に一致して、チップからチップへの通信ピンをそれぞれ横に並べられるようになるはずである。したがって、リード長と容量負荷が最小になり、あるチップから次のチップへの通信を可能な最大の周波数で行えるようになる。信号は、実世界(すな

わちスピーカやビデオ・モニタ)の信号に戻す必要が生じるまで、アナログに変換し直す必要はない。もちろん、その情報がコンピュータに入力される場合、信号をアナログに変換し直す必要は全くない。

【0077】このモジュールは、信号を同期させる場合にそうであるように信号がロードされる時刻を制御するため、またはマルチプレクサの場合にそうであるように入力をステアするために、ゲート入力付きで設計することができる。

【0078】望むならば、このアーキテクチャでは、モジュール内に整数乗除算を集積して計算を実行し、これによって2のべき乗の値の構成要素を使用する必要をなくすることもできる。したがって、複数のクロック周波数が、わずかに異なっている必要はなくなるはずである。もちろん、これによって、チップの速度と密度が低下するが、それでも、フォン・ノイマン・ボトルネックが存在しないので、従来のDSPチップよりかなり高速になる。

【0079】特殊な分野のために最適化された、より特殊なモジュールを設計することによって、一部のチップを専門化することもできる。たとえば、このようなモジュールを、本明細書に開示された直列RLC回路の例のために最適化でき、約2倍だけ最大チップ動作周波数を高速化することができるはずである。

【0080】上の説明から、当業者であれば、本発明の現場プログラム可能版を使用してプロトタイプ回路を制作でき、本発明のマスク・プログラム可能版を製造環境で使用できることを認めるであろう。このようなマスク・プログラム可能版も、本発明の範囲に含まれる。

【0081】本発明の実施例と応用分野を図示し、説明してきたが、本明細書に記載の発明の概念から逸脱せずに、上記以外の多数の変更が可能であることは、当業者に明白である。したがって、本発明は、請求項の趣旨においてのみ制限されるものである。

【図面の簡単な説明】

【図1】本発明の好ましい実施例による、現場プログラム可能デジタル信号処理集積回路の例のアーキテクチャを示すブロック図である。

【図2A】本発明による現場プログラム可能デジタル信号処理集積回路に含めるのに適したALU回路の例を示すブロック図である。

【図2B】図2aのALU回路の制御回路部分の動作を詳細に開示する状態図である。

【図3】単一ビット・シフトまたは多重ビット・シフト動作を実行できるバス交換のアーキテクチャを示す概略図である。

【図4A】単純な反転アナログ増幅器の概略図である。

【図4B】本発明に従って実施される図4Aの増幅器の等価ブロック図である。

【図4C】本発明に従って実施された、対数フィードバ

19

ック要素を含む図5の増幅器の等価ブロック図である。

【図5】正弦入力波形に関する図4Bの回路の信号入力の波形と信号出力波形を示すグラフである。

【図6】方形入力波形に関する図4Bの回路の信号入力の波形と信号出力波形を示すグラフである。

【図7A】図4Aの増幅器回路の変形の概略図である。

【図7B】出力のパイプライン化ひずみを回避する形で本発明に従って実施された図7Aの増幅器の等価ブロック図である。

【図8】1MHz正弦波入力に関する図7Bの回路の入力電圧と出力電圧を示すグラフである。

【図9】1MHz方形波入力に関する図7Bの回路の入力電圧と出力電圧を示すグラフである。

【図10】本発明のアーキテクチャを使用して構成されたアナログ・シフト・レジスタの例のブロック図である。

【図1】

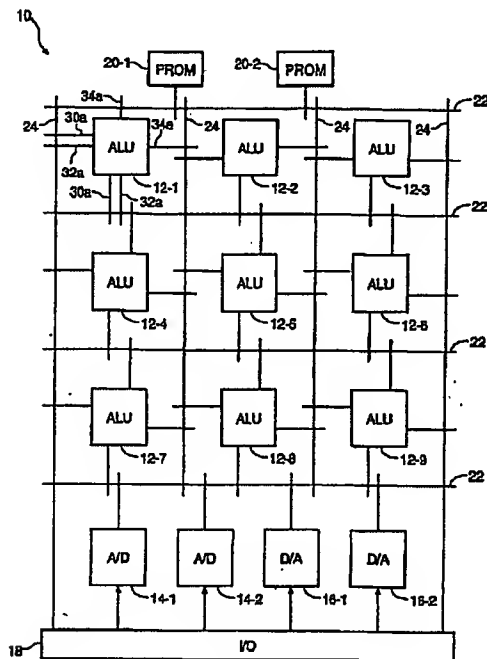


FIG. 1

【図4A】

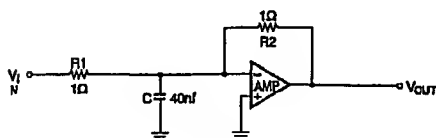


FIG. 4A

20

【図11A】本発明に従って実施された直列RLC同調回路の例を示す図である。

【図11B】本発明に従って実施された直列RLC同調回路の例を示す図である。

【符号の説明】

10 現場プログラム可能デジタル信号処理集積回路

12 ALU回路

14-1、14-2 A/D変換器

16-1、16-2 D/A変換器

18 I/Oブロック

20-1、20-2 PROMデバイス

22-1、...、22-6 水平相互接続導体

24-1、...、24-6 垂直相互接続導体

26、28 2:1マルチプレクサ

30、32、34、36 入力バス

【図3】

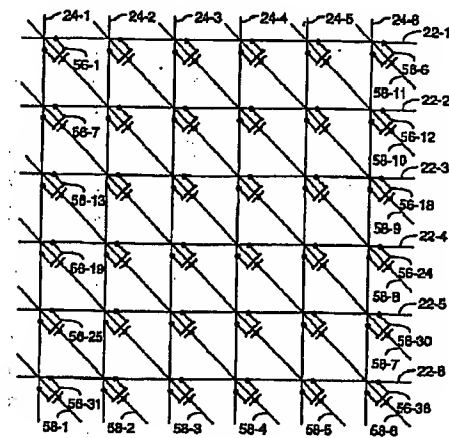


FIG. 3

【図4B】

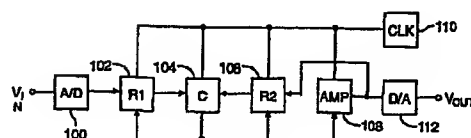


FIG. 4B

【図2A】

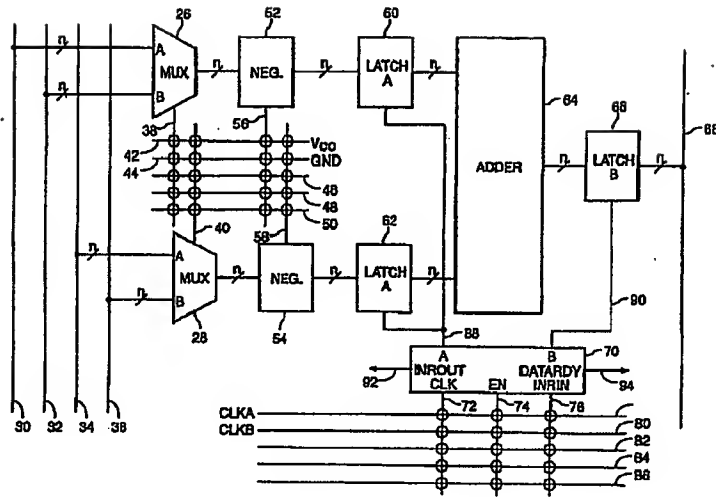


FIG. 2A

【図2B】

| CLK | EN | INR IN | READ FLOW | SET FLOW | LATCH A | INR OUT | LATCH B | DATARDY |
|-----|----|--------|-----------|----------|---------|---------|---------|---------|
| ↑ | 1 | 1 | X | 1 | 1 | 1 | 0 | 0 |
| ↑ | 0 | X | X | | 0 | 0 | 0 | 0 |
| ↑ | X | 0 | X | | 0 | 0 | 0 | 0 |
| ↓ | X | X | 1 | 0 | 0 | 0 | 1 | 1 DELAY |
| ↓ | X | X | 0 | 0 | 0 | 0 | 0 | 0 |

FIG. 2B

【図4C】

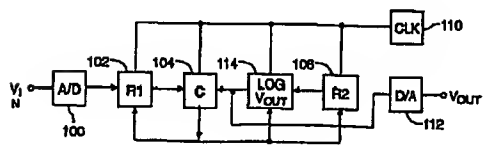


FIG. 4C

【図5】

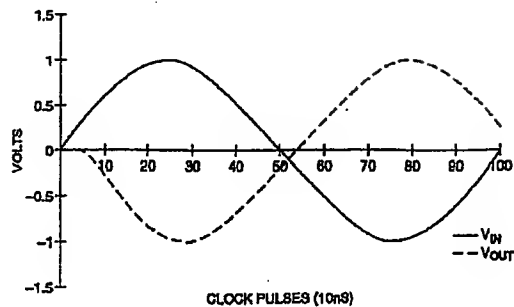


FIG. 5

【図7A】

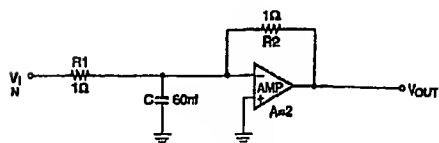
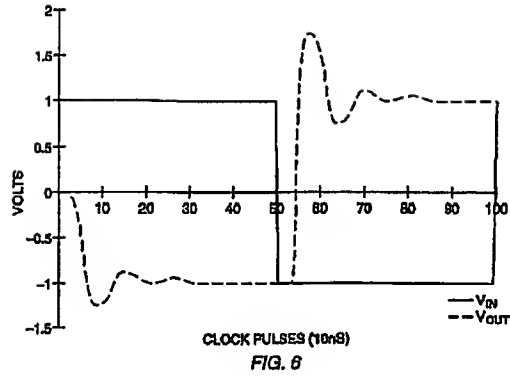
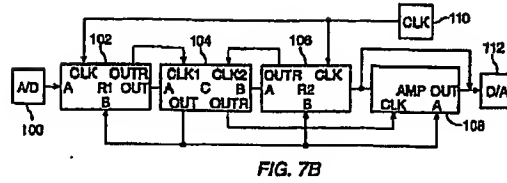


FIG. 7A

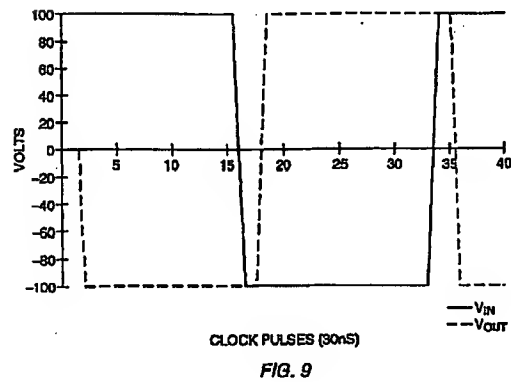
【図6】



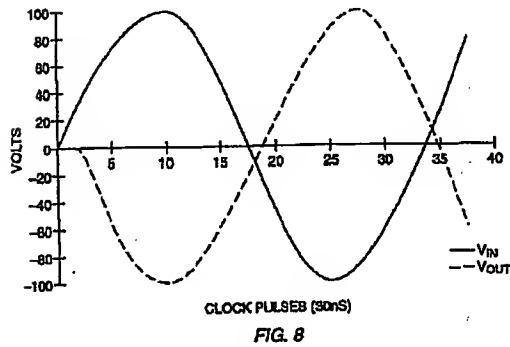
【図7B】



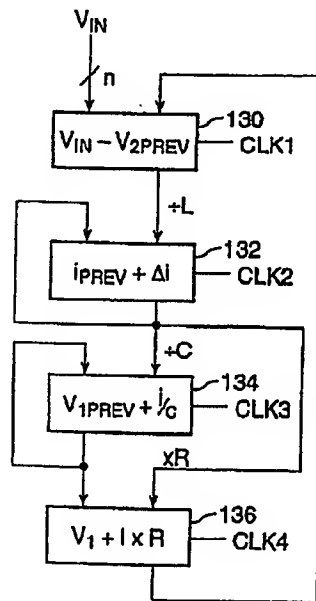
【図9】



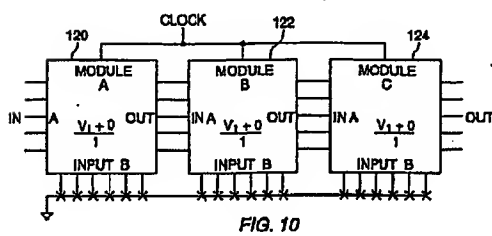
【図8】



【図11A】



【図10】



【図11B】

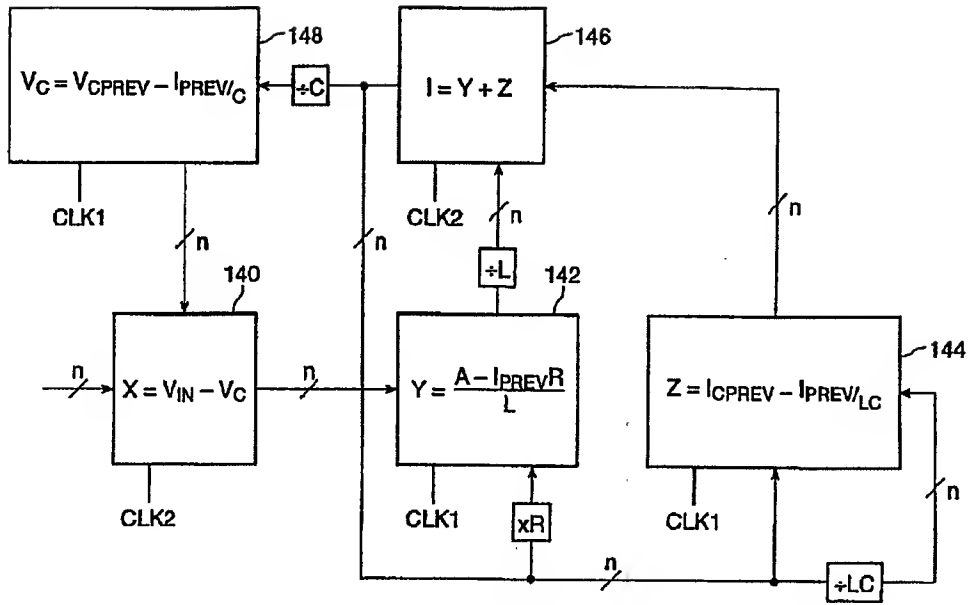


FIG. 11B